

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-217944

(43)Date of publication of application : 30.08.1990

(51)Int.Cl.

G06F 12/08

G06F 12/08

(21)Application number : 01-038242 (71)Applicant : TOSHIBA CORP

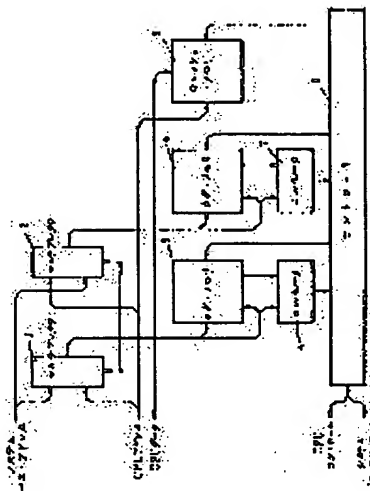
(22)Date of filing : 20.02.1989 (72)Inventor : SAWADA MITSUO

(54) BUS MONITORING DEVICE IN CACHE MEMORY

(57)Abstract:

PURPOSE: To duplicate the limitation of a CPU access cycle as compared to an ordinary one and to execute rapid processing by using tag memories, multiplexers and comparators to duplicate monitoring constitution.

CONSTITUTION: The bus monitoring device is provided with two multiplexers 1, 2 for switching the system address side and the CPU address side, two tag memories 3, 4 for respectively storing addresses obtained when a CPU reads out the main memory and to comparators 6, 7 for respectively comparing the contents of the tag memories 3, 4 with a system bus or a CPU address. The access cycle time of the CPU is made to coincide with that of the tag memories 3, 4. Consequently, the processing speed of the bus monitoring device can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-217944

⑬ Int. Cl.⁵

G 06 F 12/08

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月30日

M 7010-5B
G 7010-5B
Z 7010-5B
3 1 0

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 キャッシュメモリにおけるバス監視装置

⑯ 特 願 平1-38242

⑰ 出 願 平1(1989)2月20日

⑱ 発 明 者 沢 田 充 雄 東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場
内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

キャッシュメモリにおけるバス監視装置

2. 特許請求の範囲

CPUが主メモリをアクセスしたときのデータを格納するキャッシュメモリと、CPUが主メモリをリードしたときのアドレスをそれぞれ格納する2組のタグメモリと、この2組のタグメモリをCPUのアクセスとシステムバスのアクセスの監視にそれぞれ切替える2組のマルチプレクサと、前記2組のタグメモリのアドレスとCPUアドレス、システムバスアドレスとをそれぞれ比較する2組のコンパレータと、前記2組のマルチプレクサの切換えおよび前記タグメモリと前記キャッシュメモリのリード・ライトを制御するコントローラとを具備したことを特徴とするキャッシュメモリにおけるバス監視装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、主メモリ等とキャッシュメモリとの間で不一致を防止するキャッシュメモリにおけるバス監視装置に関する。

(従来の技術)

一般にキャッシュメモリ9は、第5図に示すように、CPU10と主メモリ9の間に介在し、CPU10が低速の主メモリ9をリードしたとき、同時にデータを高速のキャッシュメモリ11に格納しており、再度CPU10が同一アドレスをリードしたときは、キャッシュメモリ11からデータを読み出すことによりCPU10のメモリアクセスを高速化する。

バス監視機能は、主メモリ9とキャッシュメモリ11との間でデータ不一致が生じないようにする方法の1つであって、DMA12等の他のバスマスタが主メモリのデータを変更しようとするとき、もしそのデータがキャッシュメモリ11にコピーされていた場合は、キャッシュメモリ11のそのデータを無効とする機能である。

このようなバス監視機能を行なう従来例を第3

図に示す。第3図において、タグメモリ13は主メモリをリードしたときのアドレスを、キャッシュメモリ11は主メモリをアクセスしたときのデータを格納しておく。

CPUからのアクセスとシステムバスの監視は、1つのタグメモリ13をマルチプレクサ14で切換えて交互に使用する。CPUからのアクセスのときは、マルチプレクサ14をCPUアドレス側として、タグメモリ13の内容とCPUアドレス出力をコンパレータ15で比較し、一致した場合においてCPUからのアクセスがリードならば、このアドレスに対応するキャッシュメモリ11のデータをCPUへ伝送する。システムバス監視について説明すると、マルチプレクサ14をシステムバスアドレス側とし、タグメモリ13の内容とシステムバスアドレスをコンパレータで比較し、一致した場合でシステムバス上のアクセスがライトならば、そのタグメモリの内容を無効値とする。

(発明が解決しようとする課題)

上記のようなバス監視装置では、第4図に示す

ように、CPUのアクセスサイクルTの1/2がタグメモリのアクセスサイクルとなり、換言すればタグメモリ13のアクセスサイクルの最小値の2倍がCPUアクセスサイクルの限界となり、高速化を図ることができなかった。

本発明は、このような事情により発明されたもので、CPUのアクセス速度を高速化することを目的とする。

〔発明の構成〕

(課題を解決するための手段)

本発明は、システムバスアドレス側とCPUアドレス側とを切換える2組のマルチプレクサと、2組のタグメモリおよびコンパレータとを備えて、CPUのアクセスサイクル時間とタグメモリのアクセスサイクル時間とを同一にしてバス監視装置の処理速度を高めることを特徴とする。

(作用)

CPUのアクセスサイクル時間とタグメモリのアクセスサイクル時間が同一となった。

(実施例)

次に本発明の一実施例を示す第1図、第2図について本発明の詳細を説明する。

第1図は本発明の構成を示すブロック図で、システムバスアドレス側とCPUアドレス側とを切り換える2組の第1のマルチプレクサ1と第2のマルチプレクサ2と、CPUが主メモリをリードしたときのアドレスを各々格納する2組の第1タグメモリ3と第2のタグメモリ4とを備えている。

さらに、上記2組の第1および第2のタグメモリ3、4の内容とシステムバス又はCPUアドレスとを各々比較する2組の第1のコンパレータ6と第2のコンパレータ7を有する。5はキャッシュメモリである。

コントローラ8は2組のマルチプレクサ1、2の切換えや、2組のタグメモリ3、4およびキャッシュメモリ5のリードおよびライトの制御を行なう。

次に図面について本発明の動作を説明する。

2組の第1および第2のマルチプレクサ1、2はマルチプレクサ、例えば第1のマルチプレクサ1

がシステムバスアドレス側ならば、他方のすなわち第2のマルチプレクサ2はCPUアドレス側と常に互いに反対側に切換るようにコントローラ8によって制御されている。

したがって、2組の第1のタグメモリ3と第2のタグメモリ4はCPUからのアクセスとシステムバスからのアクセスの監視が交互に入れ替わる。これに2組の第1のコンパレータ6と第2のコンパレータ7との接続をみると、第1のマルチプレクサ1と第1のタグメモリ3と第1のコンパレータ6とが、第2のマルチプレクサ2と第2のタグメモリ4と第2のコンパレータ7とがそれぞれ組となる。

まずCPUからのアクセスについて説明すると、CPUからのアクセスは第1又は第2のマルチプレクサ1、2のうちCPUアドレス側に切り換えている組で調べられる。

すなわち、2組のタグメモリ3又は4の内容とCPUアドレスを2組のコンパレータ6又は7で比較し、一致したとき、CPUのアクセスがリー

ドの場合は、このアドレスに対応するキャッシュメモリ5のデータをCPUに伝送し、CPUアクセスがライトのときはこのアドレスに対応するキャッシュメモリのデータをCPUの出力データに更新し、主メモリも更新される。

比較により不一致で、CPUアクセスがリードの場合は、2組のタグメモリ3又は4とキャッシュメモリ5の主メモリをリードした値にそれぞれ更新する。この場合、主メモリのアクセスサイクルは通常、タグメモリ3又は4のアクセスサイクルの倍数となる為、双方のタグメモリ3、4が更新される。

比較により不一致でCPUアクセスがライトの場合は主メモリのみ更新される。

次にシステムバスの監視について説明すると、2組のマルチプレクサ1、2のうちシステムバス側に切り換わっている組で行なわれる。

システムバスのアクセスがあると、第1又は第2のタグメモリ3、4の何れかの内容とシステムバスからのアドレスとを2組の第1又は第2のコ

ンパレータ6、7のいずれかで比較し、一致であってシステムバスのアクセスがライトの場合は、第1、第2のタグメモリ3、4のいずれかの内容を無効値とする。この場合、システムバスのアクセスサイクルは通常、第1、第2のタグメモリ3、4のアクセスサイクルの倍数となる為、第1、第2のタグメモリ3、4の双方が無効値に更新される。

不一致か又はシステムバスのアクセスがリードの場合は双方の第1、第2のタグメモリ3、4の更新は行なわない。

上記のような、第1、第2のタグメモリ3、4のアクセスサイクルとCPUのアクセスサイクルの関係は第2図のタイミングチャートに示されている。この図から明らかなようにCPUのアクセスサイクルとタグメモリのアクセスサイクル時間が同一となる。換言すれば、2組のタグメモリ3、4の各々のアクセスサイクルの最小値がCPUのアクセスサイクルの限界となる。

すなわち、CPUのアクセスサイクルの限界を

従来例の2倍とすることができ、高速化を図ることができる。

[発明の効果]

この発明によれば、タグメモリ、マルチプレクサ、コンパレータからなる監視構成を2重化することにより、CPUのアクセスサイクルの限界を従来例の2倍とすることができるので、高速処理を行なうことができる。

4. 図面の簡単な説明

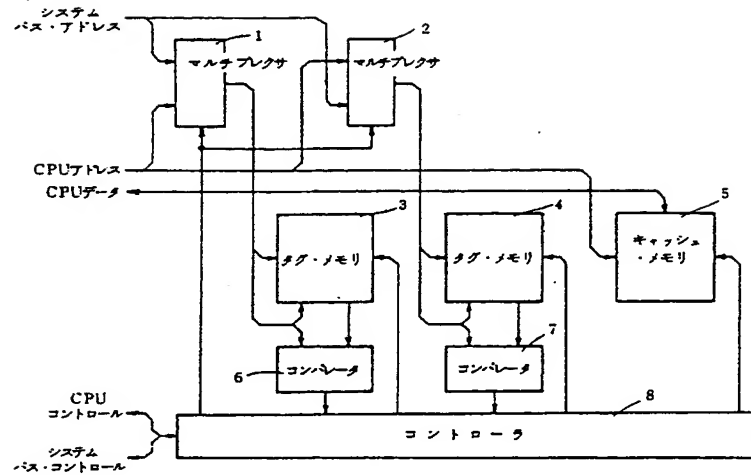
第1図は、本発明の一実施例を示すブロック図、第2図は本発明の動作を示すタイミングチャートである。

第3図は、従来例の構成を示すブロック図、第4図はその動作を示すタイミングチャート、第5図はキャッシュメモリを用いた従来のシステム構成を示すブロック図である。

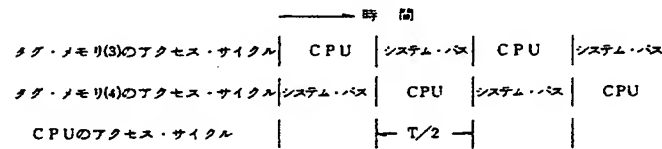
1…第1のマルチプレクサ、2…第2のマルチプレクサ、3…第1のタグメモリ、4…第2のタグメモリ、5…キャッシュメモリ、6…第1のコンパレータ、7…第2のコンパレータ、8…コン

トローラ

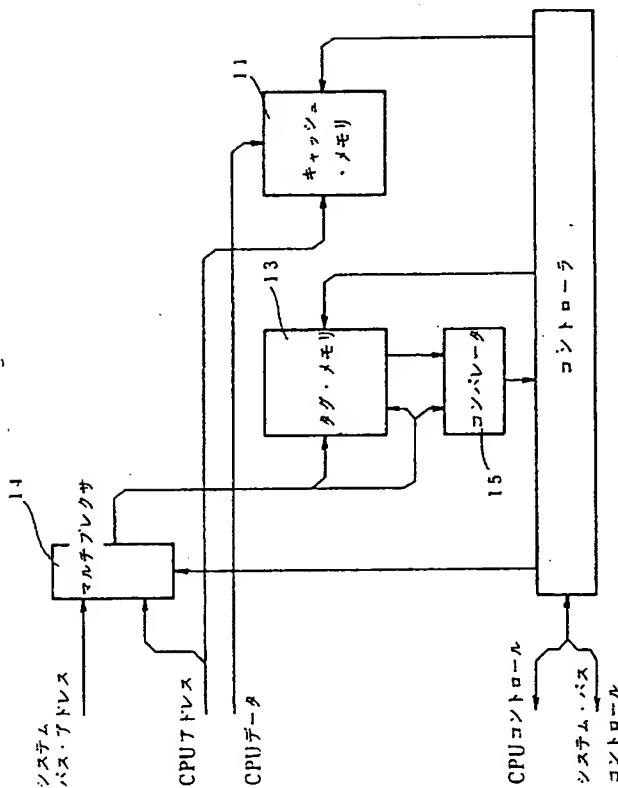
代理人弁理士 則近 憲佑
同 山下 一



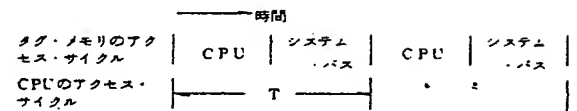
第 1 図



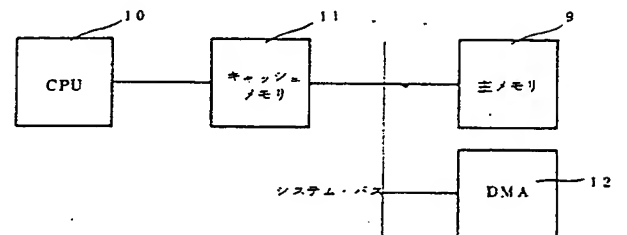
第 2 図



第 3 図



第 4 図



第 5 図

【特許請求の範囲】

【請求項1】 キャッシュ制御におけるタグメモリへの情報の索引および更新を制御する回路であって、タグメモリの情報の更新処理要求を緩衝記憶するタグ更新バッファと、タグメモリの情報の索引処理要求を緩衝記憶するタグ索引バッファと、タグ更新バッファに記憶されている更新処理要求とタグ索引バッファに記憶されている索引処理要求との調停制御を行う調停制御回路とを備えていることを特徴とするタグ更新制御回路。

【請求項2】 キャッシュ制御におけるタグメモリへの情報の索引および更新を制御する回路であって、タグメモリの情報の更新処理要求を緩衝記憶するタグ更新バッファと、タグメモリの情報の索引処理要求を緩衝記憶するタグ索引バッファと、タグ更新バッファに記憶されている更新処理要求に係るアドレス情報と、タグ索引バッファに記憶されている索引処理要求に係るアドレス情報とを比較するアドレス比較回路を有し、タグ更新バッファに記憶されている更新処理要求とタグ索引バッファに記憶されている索引処理要求との調停制御を行うものであって、比較回路によってアドレス情報の一致を検出した場合にはタグ更新バッファに記憶されている更新処理要求を優先的に実行させる調停制御回路とを備えていることを特徴とするタグ更新制御回路。

【請求項3】 前記調停制御回路が、前記タグ更新バッファが更新処理要求をさらに記憶できないビジー状態であることを検出するバッファビジー検出回路を有し、ビジー状態であることを検出した場合には、タグ更新バッファに記憶されている更新処理要求を優先的に実行させることを特徴とする請求項2記載のタグ更新制御回路。

【請求項4】 前記調停制御回路が、前記タグ索引バッファに索引処理要求が記憶されていないことを検出する索引処理検出回路を有し、索引処理要求が記憶されていないことを検出した場合には、タグ更新バッファに記憶されている更新処理要求を優先的に実行させることを特徴とする請求項2又は3記載のタグ更新制御回路。

【請求項5】 請求項1～4のいずれか1項に記載のタグ更新制御回路が、共有バスによって接続された複数のノードにそれぞれ複数のプロセッサを設けたマルチプロセッサシステムにおいて、ノード間でメモリアクセスを行う際に、各ノードが持つキャッシュメモリのアドレス情報とステータス情報を保持するタグメモリに対して各情報の更新制御を行うタグ制御部内に設けられていることを特徴とするタグ更新制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、キャッシュメモリ

のアドレス情報とステータス情報を保持するTAG（タグ）メモリに対して各情報の更新制御を行うタグ更新制御回路に係り、特に、共有バスによって接続された複数のノードにそれぞれ複数のプロセッサを設けたマルチプロセッサシステムにおいて、ノード間でキャッシュメモリおよび主記憶に対してメモリアクセスを行う際に、各ノードが持つキャッシュ制御におけるTAGメモリへの情報の参照（索引）、更新を制御する際に用いて好適なタグ更新制御回路に関する。

【0002】

【従来の技術】 図7を参照して、従来の一般的なTAGメモリに対する情報の索引および更新動作について説明する。図7は、TAG（タグ）索引動作からTAG更新動作に入るまでのシーケンスを示すタイミングチャートである。図7において、“R”はTAG索引（READ；リード）動作サイクル、“D”はデッドサイクル、“W”はTAG更新（WRITE；ライト）動作サイクルを示している。TAG索引トランザクション（TX）は、必ず先行のトランザクションの更新データがTAGメモリに反映されなくてはならない。したがって、索引動作の結果に対して、TAGを更新した後（TAGにライトした後）でなくては、後続のTAG索引トランザクションは実行できない。よって、1つのトランザクションに対して必ずRead→Writeのシーケンスの間にデッドサイクルが発生し、TAG索引動作のスループットを低下させている。

【0003】

【発明が解決しようとする課題】 上記のように従来のTAGメモリの更新制御においては、各トランザクションにおけるリードとライト動作サイクルの間にデッドサイクルが発生していたため、デッドサイクルによるアクセススループットの低下が問題となっていた。

【0004】 そこで、本発明は、TAGメモリの更新制御におけるデッドサイクルの発生を低減し、TAGメモリ更新時のアクセススループットを向上させることが出来るタグ更新制御回路を提供することを目的とする。

【0005】

【課題を解決するための手段】 上記課題を解決するため、請求項1記載の発明は、キャッシュ制御におけるタグメモリへの情報の索引および更新を制御する回路であって、タグメモリの情報の更新処理要求を緩衝記憶するタグ更新バッファと、タグメモリの情報の索引処理要求を緩衝記憶するタグ索引バッファと、タグ更新バッファに記憶されている更新処理要求とタグ索引バッファに記憶されている索引処理要求との調停制御を行う調停制御回路とを備えていることを特徴としている。

【0006】 請求項2記載の発明は、キャッシュ制御におけるタグメモリへの情報の索引および更新を制御する回路であって、タグメモリの情報の更新処理要求を緩衝記憶するタグ更新バッファと、タグメモリの情報の索引

処理要求を緩衝記憶するタグ索引バッファと、タグ更新バッファに記憶されている更新処理要求に係るアドレス情報と、タグ索引バッファに記憶されている索引処理要求に係るアドレス情報とを比較するアドレス比較回路を有し、タグ更新バッファに記憶されている更新処理要求とタグ索引バッファに記憶されている索引処理要求との調停制御を行うものであって、比較回路によってアドレス情報の一致を検出した場合にはタグ更新バッファに記憶されている更新処理要求を優先的に実行させる調停制御回路とを備えていることを特徴としている。

【0007】請求項3記載の発明は、前記調停制御回路が、前記タグ更新バッファが更新処理要求をさらに記憶できないビジー状態であることを検出するバッファビジー検出回路を有し、ビジー状態であることを検出した場合には、タグ更新バッファに記憶されている更新処理要求を優先的に実行させることを特徴としている。請求項4記載の発明は、前記調停制御回路が、前記タグ索引バッファに索引処理要求が記憶されていないことを検出する索引処理検出回路を有し、索引処理要求が記憶されていないことを検出した場合には、タグ更新バッファに記憶されている更新処理要求を優先的に実行させることを特徴としている。請求項5記載の発明は、請求項1～4のいずれか1項に記載のタグ更新制御回路が、共有バスによって接続された複数のノードにそれぞれ複数のプロセッサを設けたマルチプロセッサシステムにおいて、ノード間でメモリアクセスを行う際に、各ノードが持つキャッシュメモリのアドレス情報とステータス情報を保持するタグメモリに対して各情報の更新制御を行うタグ制御部内に設けられていることを特徴としている。

【0008】上記のような構成によって、本発明によるタグ(TAG)更新制御回路は、SSRAM(Synchronous Static Random Access Memory)等からなるTAGメモリの索引(Read)→更新(Write)の切り替えによる双方向バスのデッドサイクルを軽減することにより、TAGメモリへのアクセスを効率よく実行し、TAG索引動作のスループットを向上させることができる。

【0009】

【発明の実施の形態】以下、図面を参照して本発明によるタグ更新制御回路の実施の形態について説明する。図1は、本発明によるタグ更新制御回路を適用するマルチプロセッサシステムの構成を示すブロック図である。図1に示すマルチプロセッサシステムでは、ノード間接続共有バス300によって接続されて複数のノード(ノード1～n)にそれぞれ複数のプロセッサ(111～11m, ..., n11～n1m)が設けられている。

【0010】TAGメモリ100-1～100-nは、図1のマルチプロセッサシステムにおいて、各ノードに接続するプロセッサ111～11m, n11～n1mが持つキャッシュメモリ(図示略)のアドレス情報とステ

ータス情報のコピーを保持するものであって、ノード間のメモリアクセスに対して、キャッシュと主記憶のコヒーレンシ制御を実現するために用いられるものである。各ノードのTAG制御部103～n03は、ノード間のメモリアクセスに対してコヒーレンシ制御を実現するため、TAGメモリ100-1～100-nを索引して、そのノードに接続するプロセッサ111～11m, n11～n1mが保持しているキャッシュステータスの状態を検出し、プロセッサ111～11m, n11～n1mのキャッシュステータスとTAGのステータスが一致するようにTAGメモリ100-1～100-nを更新してコヒーレンシ制御を行う。

【0011】また、図1において、キャッシュコヒーレンシ制御部102～n02は、プロセッサ111～11m, n11～n1m間のコヒーレンシ制御(これまで一般的に用いられているMESI(Modified Exclusive Shared Invalid)プロトコル等)を実現し、TAG索引結果からノード間のコヒーレンシを保つため、プロセッサ111～11m, n11～n1mに対してトランザクションを発行したり、プロセッサ111～11m, n11～n1mが発行するトランザクションをノード間バス制御部104～n04に転送する。主記憶アクセス制御部101～n01は、ノードに接続する主記憶200-1～200-nへのアクセスを制御し、ノード間バス制御部104～n04からトランザクションを受け取り、主記憶200-1～200-nのリード・ライト制御を行う。ノード間バス制御部104～n04は、ノード間を接続する共有バス300を制御し、ノードに接続するプロセッサが発行したトランザクションを受け取り、共有バスの調停制御を行い、主記憶アクセス制御部101～n01にそのノードの主記憶にアクセスするトランザクションを転送したり、ノード間のコヒーレンシ制御を実現するため、TAG制御部103～n03にトランザクションを転送する制御を行う。

【0012】本発明では、ノード間のメモリアクセスに対して、TAG索引動作のスループットを向上させることにより、TAGのスヌープ処理を向上させ、ノード間のメモリアクセスのレイテンシをあげることを目的とする。したがって、本発明によるタグ制御回路は、TAG索引動作のスループットを向上させるため、図1におけるTAG制御部103～n03内に設けられている。

【0013】本発明によるタグ制御回路の実施の形態について図2を参照して説明する。図2は、本発明によるタグ制御回路の構成を示すブロック図であって、TAGメモリ100(図1のTAGメモリ100-1～100-nに対応する)を除く本実施の形態におけるタグ制御回路の各構成は、図1のTAG制御部103～n03内に設けられているものである。

【0014】図2において、TAGメモリ100を制御

するタグ制御回路は、TAG索引命令を格納し、TAG更新動作中にTAG索引トランザクションの待ち合わせ（ペンディング）を行うTAG索引バッファ1と、TAG更新トランザクションを格納し、TAG索引トランザクションの優先調停により、TAG更新トランザクションの待ち合わせ（ペンディング）を行うTAG更新バッファ2と、前記2つのバッファ1または2をセレクト（調停）してTAGの索引・更新動作を制御するTAG調停制御回路3とから構成されている。

【0015】また、TAG索引トランザクションがTAG更新バッファ2に格納されるまで、TAG索引トランザクションのアドレスやコマンド情報を保持して、TAGメモリ100の索引データを待ち合わせるために、1つのTAG索引トランザクションを時系列の4段階のステージR1～R4に分割するとともに、各ステージR1～R4に対応するレジスタ7～10を用意して、順次ステージを移行させることで最大4つのTAG索引トランザクションに関する情報を各ステージ毎に各レジスタ7～10に保持できるようにしている。TAG索引トランザクションをTAG更新バッファ2に格納する際には、TAGの索引データを格納する索引データ格納レジスタ11の値から、TAG更新データ生成回路12でTAGの更新の必要性を判断し、TAGの更新が必要な時には、TAG更新データを生成してTAG更新バッファ2に更新データを格納する。ここで、R1～4の各ステージについて説明すると、R1は図示していない外部のTAG索引制御部がTAGメモリ100にコマンドを発行するステージ、R2はTAGメモリ100がアドレス情報やコマンド等を受け取りTAGメモリ100に起動がかかるステージ、R3はTAGメモリ100から出力データが送出されるステージ、R4はTAG制御部103～n03がTAGメモリ100からの出力データを受け取るステージである。

【0016】なお、TAG更新データについては、TAG更新によるバスの切り替えが行われるR2ステージで、TAG更新データをTAGメモリ100に送出するため、TAG更新データを更新データ格納レジスタ1（5）、2（6）で保持するようにしている。

【0017】TAG調停制御回路3は、TAG索引（リード）バッファ1とTAG更新（ライト）バッファ2の調停制御を行い、TAGメモリ100に対するリードとライト処理を制御する。TAG調停制御回路3は、TAG索引動作のスループットをあげるため、TAG索引動作を優先して実行するように制御するが、索引動作優先調停によりTAG更新バッファ2がビジーになったり、TAG索引バッファ1のトランザクションとTAG更新バッファ2のトランザクションのアドレス一致を検出した場合、TAG更新動作を優先して処理する。また、TAG更新バッファ2にデータが格納されている時、TAG索引バッファ1にトランザクションが存在しないこと

を検出すると、TAGメモリ100に対する更新動作を有効に活用するため、TAG更新動作を実行する。これにより、TAG更新バッファ2がビジーになる頻度を低下させることが出来るのと同時に、後続のトランザクション（TAG索引バッファ1に格納されているトランザクション）がTAG更新バッファ2とアドレス一致する頻度も低下させることができ、TAG索引動作に対して更新動作が割り込む頻度が減少してTAG索引動作のスループットをあげることが出来る。

【0018】次に、図3を参照して、TAG調停制御回路3の詳細な構成について説明する。図3は、TAG調停制御回路3のブロック図である。TAG調停制御回路3は、前記のようなTAG更新条件が成立したことを示すTAG更新フラグを用いてTAG更新バッファ2とTAG索引バッファ1の調停制御を行う。TAG調停制御回路3は、TAG更新条件が成立した場合に有効となるTAG更新フラグ13、14、15を用意し、何れかのフラグがセットされた場合、OR回路19およびセクタ20を用いて、TAGメモリ100を索引動作から更新動作に切り替える制御を行う。

【0019】TAG更新フラグ13は、TAG更新バッファ2がビジーの閾値を超えた時にセットされるフラグで、バッファビジー検出回路16により、TAG更新バッファ2のライトポイントとリードポイントでバッファに格納されているトランザクション数を管理してバッファビジーを検出する。TAG更新フラグ13がセットされると、TAG索引処理を抑止して（TAG索引トランザクションをTAG索引バッファ1でペンディングする）TAG更新処理が開始され、TAG更新バッファ2に溜まっているデータをTAGメモリ100に書き込む。TAG調停制御回路3は、TAG更新バッファ2のビジーが解除されると、TAG更新フラグ13をリセットし、TAG索引処理を実行する。

【0020】TAG更新フラグ14は、TAG更新バッファ2のトランザクションとTAG索引バッファ1のトランザクションのアドレス一致を検出した場合にセットされる。TAG更新フラグ14は、TAG更新バッファ2のアドレス一致したトランザクションがTAGメモリ100にライトされるまでセットされ、セットされている間、TAG索引トランザクションは、TAG索引バッファ1でペンディングされ、TAG更新処理が完了してTAG更新フラグ14がリセットされてから、再びTAG索引処理を実行する。これにより、TAG索引トランザクションは常に最新のTAGメモリ100の値を反映させることが出来る。

【0021】TAG更新フラグ15は、TAG索引バッファ1に1つもTAG索引命令が格納されていないときに、TAG更新バッファ2にトランザクションが存在する場合にセットされる。これは、TAG更新バッファ2からなるバクトランザクションを減らし、前記のような

バッファビジーやアドレス一致が発生する頻度を下げるためである。TAG更新バッファ2は、バッファビジーやTAG索引トランザクションとのアドレス一致を検出しない限りTAG更新動作を実行しないので、TAG更新バッファ2にトランザクションが格納されるケースは高く、バッファビジーやアドレス一致が発生する頻度も高くなる。バッファビジーやアドレス一致の頻度が高くなると、TAG索引動作のスループットを低下させるRead→Writeの切り替えが発生しやすくなる。そこで、TAG更新バッファ2にトランザクションが存在する場合、TAG索引バッファ1にトランザクションが存在しない時は、TAG更新フラグ15をセットしてTAG更新処理を実行し、出来るだけTAG更新バッファ2のバッファビジーやアドレス一致を抑止し、TAG索引動作のスループットを向上させる制御を行う。

【0022】次にTAG更新動作についてタイムチャート図4～6を参照して説明する。TAG更新動作は、前記のように3ケース存在する。1つ目は、TAG更新バッファ2のビジーを検出するケース、2つ目は、TAG更新バッファ2とTAG索引バッファ1のトランザクションのアドレス一致を検出するケース、3つ目は、TAG索引トランザクションが存在しない時にTAG更新動作を実行するケースである。1つ目のビジーに関しては、説明の簡略化のため、TAG更新バッファ2に1つのトランザクションが格納された時点でビジーとする。なお、図4～図6の例では、トランザクション0がTAGメモリ100の更新動作を必要とするものであるとしている。

【0023】図4は、TAG更新バッファ2のビジーによるTAG更新動作を示す。最初に、周期T1～T7まで順にTAG索引バッファ1でトランザクション0～6を受け付け、TAG索引処理を実行する。TAG索引トランザクション0は、図2のR4ステージでTAG索引結果を受け取ると(T5)、そのトランザクション情報とTAG索引データからTAGの更新データを生成し、TAGを更新するため、周期T6でTAG更新バッファ2に更新データを格納する。同時にTAG更新バッファ2のライトポインタがインクリメントされ、ライトポインタとリードポインタに差分が生ずる。TAG調停制御回路3は、バッファビジー検出回路16で、ライトポインタとリードポインタからビジーを検出し、TAG更新フラグ13を周期T7でセットする。TAG調停制御回路3は、TAG更新フラグ13をセットすると、トランザクション6のTAG索引処理を抑止して(TAG索引バッファ1でトランザクションを待たせる)、TAGを更新動作に切り替える。TAG更新バッファ2に格納されているトランザクション0は、TAGを更新(ライト)すると、TAG更新バッファ2のリードポインタをインクリメントする。TAG調停制御回路3は、バッファビジー検出回路16で、ライトポインタとリードポインタ

の差分が無いことを検出すると、TAG更新フラグ13をリセットして、バッファビジーを解除する。TAG更新フラグ13がリセットされると、TAG調停制御回路3は、TAG索引バッファ1から、トランザクション6を実行してTAG索引処理を実行する。

【0024】図5は、TAG索引トランザクションがTAG更新バッファ2に格納されているトランザクションと同一アドレスである場合の例である。同一アドレスのトランザクションはトランザクション0と6とする。図4と同様にT1～T7まで連続してTAG索引トランザクションを受け付けると、T6でTAG更新バッファ2にトランザクション0が格納される。その時、TAG索引動作を実行しようとするトランザクション6がトランザクション0と同一アドレスであるため、TAG調停制御回路3は、図3のアドレス比較器17でトランザクション0と6が同一アドレスであることを検出すると、TAG更新フラグ14をセットし、トランザクション6をTAG索引バッファ1でペンディングする。TAG調停制御回路3は、TAG更新フラグ14がセットされると、トランザクション0のTAG更新動作を実行する。TAG更新フラグ14は、TAG更新バッファ2のトランザクション0が完了したら(TAGメモリ100を更新したら)リセットされ、TAG調停制御回路3は、TAG更新フラグ14がリセットされたので、TAG索引バッファ1のトランザクション0を実行してTAG索引処理を行う。

【0025】図6は、TAG索引トランザクションが無い場合のTAG更新動作をタイムチャートで示す。図6を参照すると、TAG索引トランザクション0～3は、T1～T4まで連続して実行されているが、その後、2サイクル空けてトランザクション4が実行されている。トランザクション0はT6でTAG更新バッファ2に格納されるが、格納された時にはTAG索引バッファ1にトランザクションはなく、1サイクル前もTAG索引動作が実行されていないため、トランザクション0は直ちにTAG更新動作を実行することが出来る。これは、TAG更新バッファ2に格納される前のT5でTAG索引トランザクションが存在しないため、TAGに何もアクセスしないサイクル(デッドサイクル)が発生し、トランザクション0がTAG更新バッファ2に格納されたT6にもTAG索引バッファ1にトランザクションが存在しないので、TAGを更新することが可能となる。

【0026】図8は、図7のTAG更新バッファを用意しない従来のシーケンスと比較する形で、TAG更新バッファを用意する本発明によるTAG索引動作からTAG更新動作に入るまでのシーケンスを示すタイミングチャートである。上述したように、図7に示す従来例では、後続のTAG索引トランザクションは、必ず先行のトランザクションの更新データがTAGメモリに反映されていなくてはならないため、索引結果に対してTAG

を更新した後(TAGにライトした後)でなくては、後続のTAG索引トランザクションは実行できない。よって、1つのトランザクションに対して必ずRead→Writeのシーケンスの間にデッドサイクルが発生し、TAG索引動作のスループットが低下している。このため、図7に示す例では、TAGの索引動作は、9サイクルで3トランザクションのみしか実行できない。一方、図8に示す本実施形態の場合、TAG更新バッファを有しているので、TAG更新バッファで後続のTAG索引トランザクションとアドレス一致を検出でき、後続のトランザクションにTAG更新バッファに格納されている更新データを反映させることが出来るので、連続したTAG索引処理を実行できる。これにより、TAG更新バッファを有するTAG索引から更新のシーケンスは、9サイクルで4トランザクションとなり、本発明によるデッドサイクルの軽減からTAG索引のスループットが向上していることが分かる。

【0027】以上説明したように図2を参照して説明した本実施形態のタグ制御回路では、TAG更新バッファ2を用意し、TAGの更新データをバッファリングすることによりTAGの更新動作を極力抑さえ、TAG更新バッファ2がビジーにならない限り、TAG索引動作を実行してTAGのスヌープ処理のスループットを向上させる。但し、後続のTAG索引トランザクションがTAGメモリ100を索引するときに、TAGメモリ100に格納されているべき最新の情報がTAG更新バッファ2に格納されている可能性があり、後続のトランザクションに最新のTAGメモリ100の値が反映されない可能性がある。そこで、本実施形態では、TAG調停制御回路3を設け、TAG調停制御回路3にTAG更新バッファ2に格納されているトランザクションと後続のTAG索引トランザクションとのアドレス一致を検出する機能を持たせることで、アドレス一致を検出した場合はTAG更新バッファ2のトランザクションを強制的に実行するようにしている。

【0028】後続のTAG索引トランザクションは、TAG索引バッファ1で同一アドレスの更新トランザクションがTAGメモリ100に反映されるまで待ち合わせてからTAG索引動作を実行する。これにより、TAG索引動作は、TAG更新バッファ2がビジーになるか、アドレス一致が検出されない限り、常にTAGメモリ100の情報を索引することが可能となり、TAG索引動作のスループットを低下させるRead→Writeの

切り替えによるデッドサイクルが軽減される。

【0029】また、本実施形態では、TAG更新バッファ2のビジーやアドレス一致によるTAG更新動作の頻度も軽減できるように、TAG索引トランザクションがTAG索引バッファ1に存在しない場合、TAG更新バッファ2にトランザクションが存在すれば、TAG更新バッファ2のトランザクションを実行する機能も持たせている。

【0030】

【発明の効果】本発明によれば、TAGアクセスのRead→Writeで発生するデッドサイクルを軽減することで、TAG索引処理を効率よく実行しているため、TAGメモリに対するアクセス(索引処理)のスループットを向上させることができ、これにより、プロセッサがノード間のメモリアクセスを実行する場合、TAGのスヌープ処理(索引処理)が早くなるため、メモリアクセスのレイテンシをあげることが出来るという効果を得ることが出来る。

【図面の簡単な説明】

【図1】 本発明によるタグ更新制御回路が適用されるマルチプロセッサシステムの構成例を示すブロック図。

【図2】 本発明によるタグ更新制御回路の構成例を示すブロック図。

【図3】 図2に示すタグ調停制御回路3の構成を示すブロック図。

【図4】 図2に示すタグ更新制御回路の動作例を示すタイミングチャート。

【図5】 図2に示すタグ更新制御回路の他の動作例を示すタイミングチャート。

【図6】 図2に示すタグ更新制御回路の他の動作例を示すタイミングチャート。

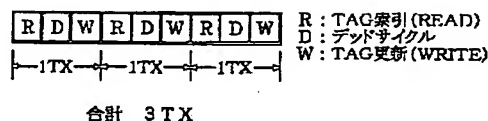
【図7】 従来技術によるタグメモリアクセスのスループットを説明するためのタイミングチャート。

【図8】 本発明によるタグメモリアクセスのスループットを説明するためのタイミングチャート。

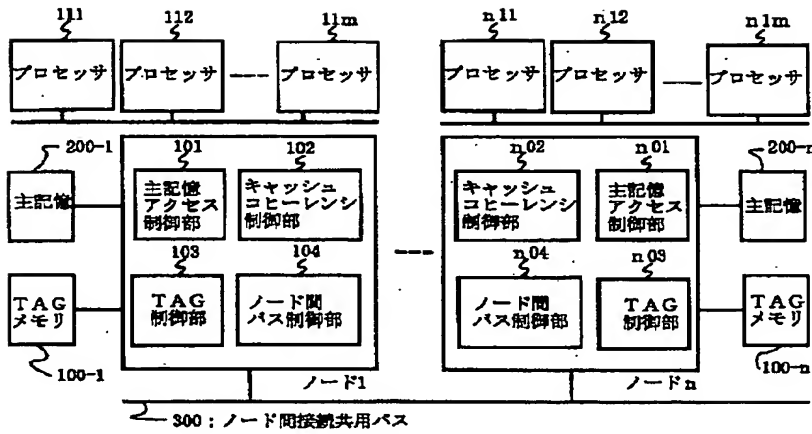
【符号の説明】

- 1 タグ(TAG)索引バッファ
- 2 タグ(TAG)更新バッファ
- 3 タグ(TAG)調停制御回路
- 16 バッファビジー検出回路
- 17 アドレス比較器
- 18 索引トランザクション検出器

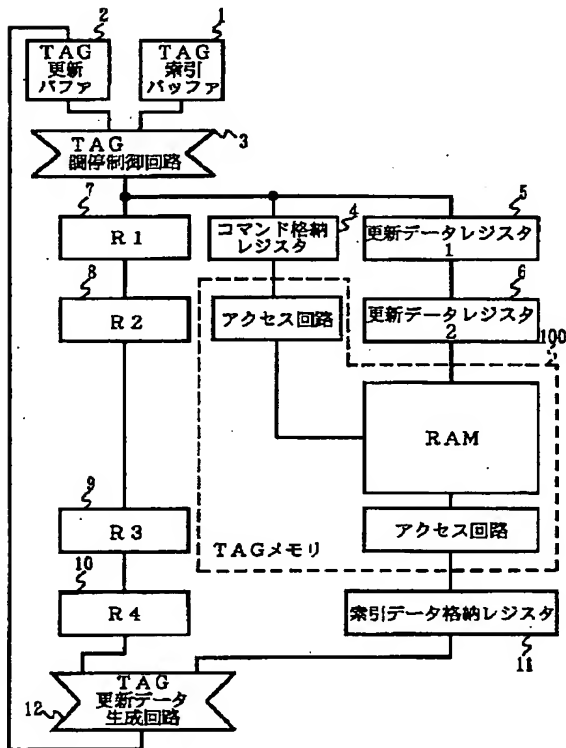
【図7】



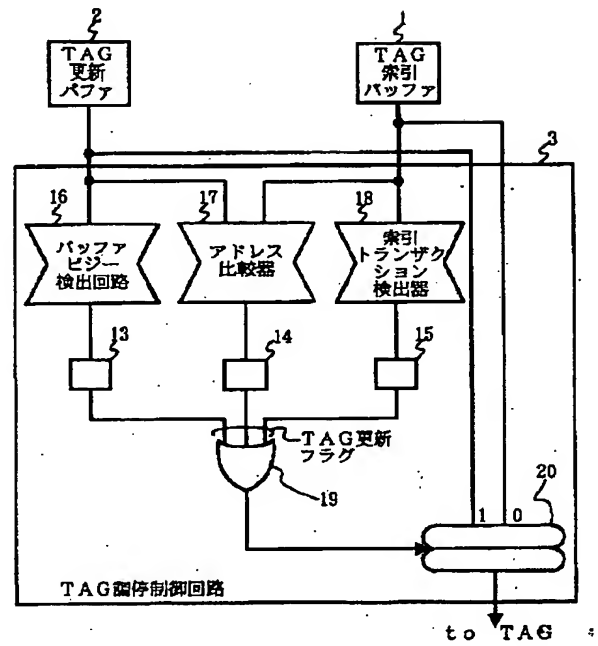
【図1】



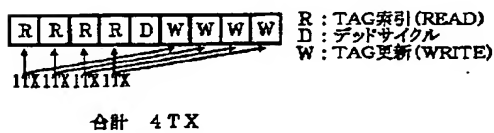
【図2】



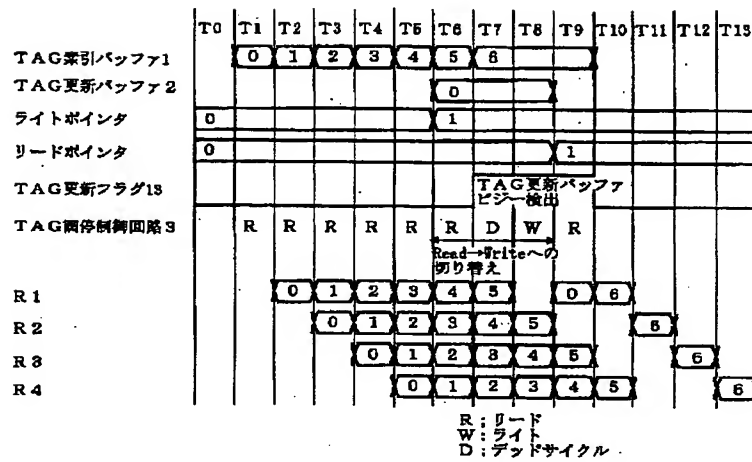
【図3】



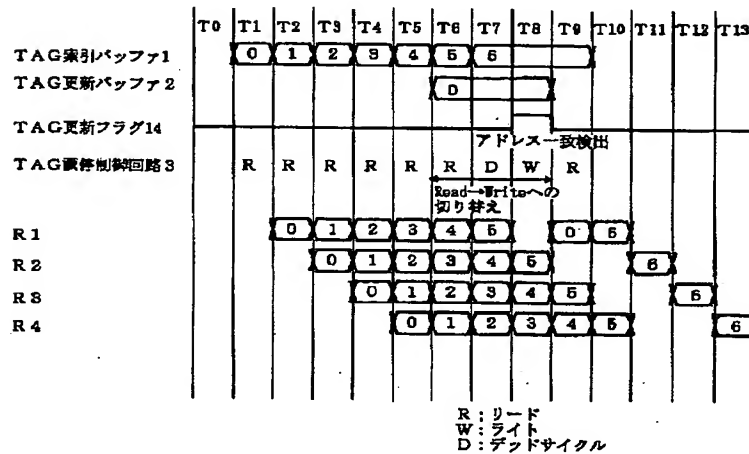
【図8】



【図4】



【図5】



【図6】

